

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

18/5/4

DIALOG(R) File 351:DERWENT WPI

(c)1999 Derwent Info Ltd. All rts. reserv.

010400218

WPI Acc No: 95-301531/199539

XRAM Acc No: C95-135081

XRPX Acc No: N95-228870

Process of vertical trench control gate in flash memory cell - decreasing occupied space by control gate

Patent Assignee: UNITED MICROELECTRONICS CORP (UNMI-N)

Inventor: HORNG Y

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
TW 252221	A	19950721	TW 93108573	A	19931015	H01L-021/70	199539 B

Priority Applications (No Type Date): TW 93108573 A 19931015

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
--------	------	-----	----	--------------	-------------	--------

TW 252221	A		13			
-----------	---	--	----	--	--	--

Abstract (Basic): TW 252221 A

Process of vertical trench control gate in flash memory cell includes: (a) growing thin tunnel oxide layer on substrate; (b) depositing polysilicon **floating gate** with proper thickness and doping; (c) depositing dielectric layer; (d) implementing photoresist on **floating gate** mask/etching to form split **floating gate**; (e) curing the photoresist layer on the **floating gate** to harden; (f) implementing trench mask, then covering the second photoresist layer on other area of trench; (g) etching substrate to form a trench with proper thickness; (h) removing the above covered photoresist layer; (i) forming gate oxide covering the trench inner wall and **floating gate** sidewall; (j) implanting N⁺ ion to form source area under the **trench** bottom and **drain** area under the out **side** of **floating gate**; and (k) depositing/doping/defining mask the polysilicon control gate to form each word lines. By the above steps a structure of flash memory with vertical trench control gate and vertical channel area is formed.

Dwg.0/2

Title Terms: PROCESS; VERTICAL; TRENCH; CONTROL; GATE; FLASH; MEMORY; CELL; DECREASE; OCCUPY; SPACE; CONTROL; GATE

Derwent Class: L03; U12; U13; U14

International Patent Class (Main): H01L-021/70

International Patent Class (Additional): H01L-027/00

File Segment: CPI; EPI

公告本

252221

申請日期	82.10.15
案 號	2158573
類 別	H01K 21/76, 27/00

A4
C4

(以上各欄由本局填註)

發明 專利 說明 書 新型		
一、發明 創作名稱	中 文	快閃記憶體元垂直溝道控制閘極製法及其構造
	英 文	
二、發明人	姓 名	洪允錠
	籍 貫 (國籍)	中華民國
	住、居所	新竹科學工業園區300工業東三路三號
三、申請人	姓 名 (名稱)	聯華電子股份有限公司
	籍 貫 (國籍)	中華民國
	住、居所 (事務所)	新竹科學工業園區300工業東三路三號
	代 表 人 姓 名	曹興誠

經濟部中央標準局員工消費合作社印製

裝 訂 線

四、中文發明摘要（發明之名稱：

快閃記憶體垂直溝道控制閘極製法及其構造

本發明係關於一種快閃記憶體垂直溝道控制閘極製法及其構造，尤指分離閘極（SPLIT GATE）快閃記憶體需佔用較大晶片面積及無法有效及簡便地控制通道長度之缺陷下，即提供一種令其控制閘極設置為形成一垂直陷入矽層之溝道型態，不僅得以縮短控制閘極佔用長度之效益外，更可藉由蝕刻垂直溝道之深度之控制，達到較簡便且精確控制該控制閘極之通道長度大小，提供一種佔用晶片面積小且可有效控制控制閘極通道長度之製法者。

英文發明摘要（發明之名稱：

附註：本案已向

國（地區）申請專利、申請日期：

案號：

五、發明說明()

本發明係一種快閃記憶體垂直溝道控制閘極製法及其構造，主要為製出一種垂直溝道型控制閘極之快閃記憶體構造之製法，該垂直溝道之控制閘極不僅可降低控制閘極過度佔用晶片之問題外，更以其垂直溝道可透過蝕刻方式精確地控制深度，而無習見方式通道長度控制不易及製程複雜之缺陷者。

按現今分離閘極(SPLIT GATE)快閃記憶體，由於可克服『過抹除』(OVER-ERASE)問題，而為現今所普遍採用之快閃記憶體(FLASH MEMORY CELL)架構，其構造概為如第一圖所示，即在矽層兩側位置之源洩極(10)(40)及位在上方之懸浮閘極(20)(FLOATING-GATE)及截面呈S形之控制閘極(30)(CONTROL-GATE)所組成，以該控制閘極(30)本身與源洩極(10)(20)間形成一隔離電晶體，而該控制閘極(30)、懸浮閘極(20)及源洩極(10)(20)之間則構成一快閃電晶體，故據以形成一種串接有隔離電晶體及快閃電晶體之合成構造物，於控制電晶體(30)未加入電壓時，即自動切斷源洩極(10)(40)之間的『通道區』，達到隔離內外迴路之作用，以防止內部快閃電晶體內部不當特性造成對外界迴路之不良影響，雖前述分離閘極型快閃記憶體可克服實用性之問題，然其即有過度佔用晶片面積之缺點。

亦即如第一圖所示，該界於源洩極(10)(40)間之通道區長度除了包含快閃電晶體本身之通道長度(L2

五、發明說明 ()

) 外，更包括隔離電晶體通道長度 (L1)，如此，即造成其需較大之晶片，造成其高密度化之限制。

故為達縮小其通道長度，即有若干改良製程予以改善，然受到光罩最大解析度之限制，亦無法有效控制在較小範圍下，如美國專利第四八六八六二九號案，即在進行源洩極離子植入步驟時，先以一光罩製程，在懸浮閘極局部位置及隔離電晶體通道區域覆以光阻，以達到控制其通道長度大小，然此等增加光罩製程下，即完全受到光罩最大解析度之限制，使通道長度亦無法縮小到最小範圍下，當無法符合實際需要。

另有美國專利第五一一五二八八號案，為運用複矽晶側壁層 (SPACER) 之自我對齊作用，以限制隔離電晶體通道區之長度，以獲得固定通道長度，然此等方式即需三層複矽晶製程 (傳統僅需二層複矽晶)，此外，其更需增加一光罩相關製程，透過光阻覆蓋在懸浮閘極之半邊位置，以蝕刻去除另一側之複矽晶側壁層，是以，此等方式則有製程過於複雜而不便之缺點。

故本發明人鑑於傳統分離閘極快閃記憶體元通道長度無法有效縮短及欲製出較窄通道區須耗費複雜製程之缺陷下，乃經悉心地試驗與研究並一本鍥而不捨之發明精神，終發明出一種快閃記憶體元垂直溝道控制閘極製法及其構造，主要為將透過蝕刻形成垂直溝道，以使控制閘極設置為一種垂直凹陷至矽層內之型態，以藉由其垂直型態，使隔離

五、發明說明 ()

電晶體通道區轉變為垂直形式，而降低佔用晶片之缺點，達到可適用於高密度之設計，且該通道長度更直接由蝕刻深度大小予以達成，更有實施較為簡便且獲致精確控制之效果，誠為一新穎且符合產業利用價值者。

為使 貴審查委員能進一步瞭解本發明之製法，特徵及其他目的，茲 附以圖式詳細說明如后：

(一) . 圖式部份：

第一圖：係習見分離閘型快閃記憶體剖面構造圖。

第二圖：係本發明之剖面構造示意圖。

第三圖：係本發明之製程示意圖。

本發明所製成之分離閘極快閃記憶體之構造，即為如第二圖所示，係構成一種於矽層 (S U B) 垂直蝕刻形成一具有適當深度之內凹之溝道 (6 0)，而在溝道 (6 0) 上方外圍即形成有懸浮閘極 (2 0)，對應於各懸浮閘極 (2 0) 的外側下方即為 N + 洩極區 (4 0)，對應於該溝道 (6 0) 內壁依序覆蓋有閘氧化層 (5 0) 及覆蓋在外表面之字元線 (W / L) 控制閘極 (3 0)，另分別對應在溝道 (6 0) 之底面下方則為植入之 N + 源極區 (1 0)，由圖面最右側之源洩極 (1 0) (4 0) 間之區域即構成分型閘極快閃記憶體構造，而該懸浮閘極 (2 0) 之橫向長度 (L 2) 即為記憶體通道區長度，該界於源洩極 (1 0) (4 0) 與控制閘極 (5 0) 所構成之隔離電晶體之通道長度，即為如標示之 L 1 所示，即轉變為

五、發明說明 ()

一種垂直延伸之型態，故而該隔離電晶體通道區長度（ L_1 ）的長短即無虞造成佔用晶片橫面面積之問題，是以，此等設計下，即令各快閃記憶元之佔用寬度降低，形成一種可高密度化之構造，此外，對於該隔離電晶體通道區長度（ L_1 ）長短亦得精確及有效地控制，而無習見受光罩解析度限制之問題，亦即本發明該等通道長度可直接透過溝道（60）蝕刻深度控制即可達成，相形下，即提供製程較為簡便迅速及長度控制更形精確有效者，當為一可符合高密度要求之新穎且具應用價值之快閃記憶元構造。

關於本發明之製程上，首先請參看第三A圖所示，即為於矽層（SUB）上成長一薄厚度之隧道氧化層（40）（厚度約在100Å），再行沈積一厚度約在2000Å之複矽晶及摻雜步驟而形成懸浮閘極層（20），及在上方更沈積一介電質層（ONO）後，實施懸浮閘極光罩相關作業，形成間隔之第一光阻層（PR1）及蝕刻去除位在第一光阻層（PR1）外圍下方之複矽晶層，另以紫外線烘烤使該第一光阻層（PR1）硬化，即完成該第三A圖之步驟，其次，如第三B圖所示，進行溝道蝕刻光罩相關作業，以形成覆蓋在不需蝕刻位置之第二光阻層（PR2），其次，即進行位在各個第二光阻層（PR2）間矽層（SUB）之溝道蝕刻作業，以蝕刻形成適當深度之溝道（60）（蝕刻深度約在0.6微米左右，並可視所需通道長度大小而改變），於去除上方該第二光阻層（P

五、發明說明 ()

R 2) 及內層光阻層 (P R 1) 後，即為如第三 C 圖所示，並進行開氧化層氧化作業，使溝道 (6 0) 內壁面及位在各懸浮閘極層 (2 0) 之側壁位置形成開氧化層 (5 0) (厚度約在 2 0 0 Å 左右)，其後，即可進行 N + 源洩極離子植入步驟 (能量及密度範圍為 5 0 K e V , $5 \times 10^{15} / \text{cm}^2$)，以使界於各懸浮閘極層 (2 0) 間之溝道 (6 0) 及未覆蓋位置各別形成 N + 源洩極區 (1 0) (4 0)，然後，在上方進行另一複矽晶控制閘極之沈積 / 摻雜 / 光罩定義出位元線之步驟，即形成如前述第二圖之結構型態。

是以，由前述本發明之製法及構造觀之，即以蝕刻形成矽層垂直溝道及令溝道底部形成源極區，及在溝道壁面形成控制閘極，而使該控制閘極所構成之隔離電晶體的通道長度轉變為一種縱向型式，不僅可降低對晶片橫向區域之佔用現象，以符合高密度要求，且該通道長度係直接由溝道蝕刻深度即可精確及有效控制完成，亦無習見光罩製程解析度限制及無需多層複矽晶製程與光罩等複雜製程始能完成之實施不便之問題，誠為一具新穎及符合產業上應用價值之快閃記憶體設計，應符專利申請要件，爰依法提出申請。

六、申請專利範圍

1. 一種快閃記憶體元垂直溝道控制閘極製法，包括：
 - 一在矽層上成長薄厚度之隧道氧化層之步驟；
 - 一沈積適當厚度之複矽晶懸浮閘極層及摻雜之步驟；
 - 一沈積介電質之步驟；
 - 一實施懸浮閘極光罩上光阻／蝕刻形成間隔懸浮閘極之步驟；
 - 一烘烤懸浮閘極上方光阻層予以硬化之步驟；
 - 一實施溝道光罩而覆蓋第二光阻層在溝道其他區域之步驟；
 - 一蝕刻矽層形成一適當深度之溝道步驟；
 - 一去除前述各覆蓋光阻層之步驟；
 - 一形成覆蓋在溝道內壁面及懸浮閘極側壁之閘氧化層步驟；
 - 一N⁺離子植入以形成位在溝道底部下方之源極區及位在懸浮閘極外側下方洩極區之步驟；及
 - 一複矽晶控制閘極層沈積／摻雜／光罩定義形成各字元線之步驟；

藉以形成一種垂直溝道型式之控制閘極及垂直型式之通道區之快閃記憶體構造。

2. 如申請專利範圍第1項所述之快閃記憶體元垂直溝道控制閘極製法，其中該隧道氧化層之厚度約在100Å者。

3. 如申請專利範圍第1項所述之快閃記憶體元垂直溝

六、申請專利範圍

道控制閘極製法，其中該複矽晶懸浮閘極之厚度約在 2 0 0 0 Å 者。

4. 如申請專利範圍第 1 項所述之快閃記憶體垂直溝道控制閘極製法，其中該烘烤光阻層硬化之步驟，為採用紫外線實施者。

5. 如申請專利範圍第 1 項所述之快閃記憶體垂直溝道控制閘極製法，其中該溝道蝕刻深度約在 0.6 微米左右。

6. 如申請專利範圍第 1 或 5 項所述之快閃記憶體垂直溝道控制閘極製法，其中該溝道蝕刻深度可視通道區長度大小而改變者。

7. 如申請專利範圍第 1 項所述之快閃記憶體垂直溝道控制閘極製法，其中該閘氧化層厚度約在 2 0 0 Å 左右者。

8. 如申請專利範圍第 1 項所述之快閃記憶體垂直溝道控制閘極製法，其中該源洩極離子植入之能量及密度分別為 5 0 K e V、 $5 \times 10^{15} / \text{cm}^2$ 者。

9. 一種快閃記憶體垂直溝道控制閘極構造，包括：

位在矽層上方呈間隔排列之複矽晶懸浮閘極；

界於各相鄰複矽晶懸浮閘極下方分別形成凹入矽層適當深度之縱向溝道及位在懸浮閘極一側下方之洩極區；

位在溝道內壁及懸浮閘極側壁覆蓋有閘氧化層；

位在溝道閘氧化層及各懸浮閘極上方覆蓋有複矽晶控

六、申請專利範圍

制閘極之構造；及

位在各溝道底部下方形成有源極區之構造；

據以構成一以溝道界定形成垂直通道區之快閃記憶體構造者。

210. 如申請專利範圍第9項所述之快閃記憶體垂直溝道控制閘極構造，其中該隧道氧化層之厚度約在100 Å者。

211. 如申請專利範圍第9項所述之快閃記憶體垂直溝道控制閘極構造，其中該複矽晶懸浮閘極之厚度約在2000 Å者。

212. 如申請專利範圍第9項所述之快閃記憶體垂直溝道控制閘極構造，其中該溝道蝕刻深度約在0.6微米左右。

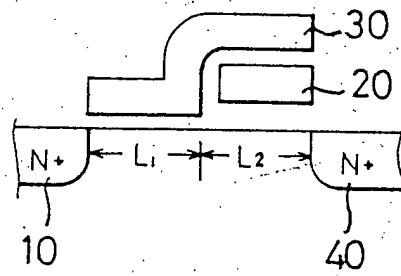
213. 如申請專利範圍第9或12項所述之快閃記憶體垂直溝道控制閘極構造，其中該溝道蝕刻深度可視通道區長度大小而改變者。

214. 如申請專利範圍第9項所述之快閃記憶體垂直溝道控制閘極構造，其中該閘極氧化層厚度約在200 Å左右者。

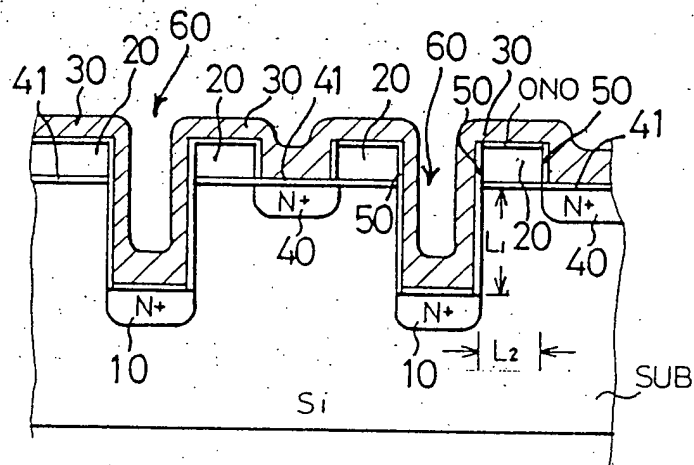
(請先閱讀背面之注意事項再填寫本頁)

裝

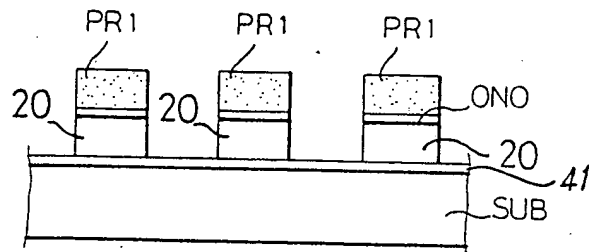
訂



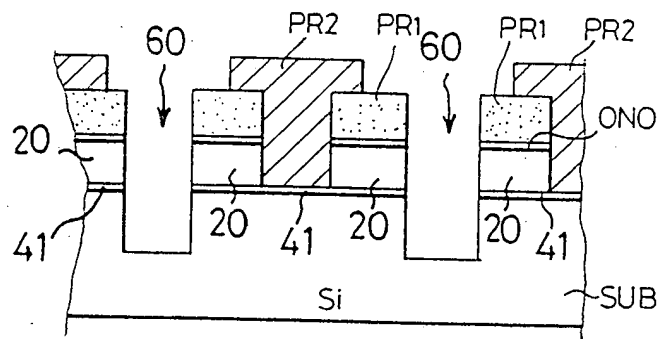
第一圖



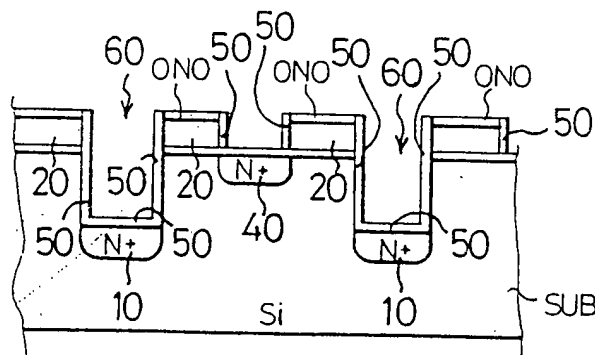
第二圖



第三A圖



第三B圖



第三C圖